

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-045740

(43)Date of publication of application : 16.02.2001

(51)Int.Cl.

H02M 1/00

H02M 1/08

(21)Application number : 11-215528

(71)Applicant : NISSAN MOTOR CO LTD

(22)Date of filing : 29.07.1999

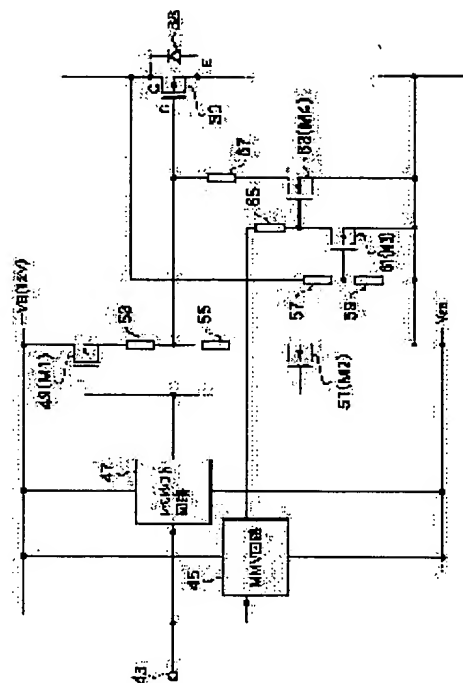
(72)Inventor : KIMURA TAKASHI
SASAKI MASAHIRO

(54) DRIVE CIRCUIT OF POWER SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a drive circuit of a power semiconductor element which can adequately restrain a surge voltage generated by a parasitic inductance, with a comparatively simple circuit configuration.

SOLUTION: When an input signal changing to a low level is supplied, an MOSFET (M1) 49 is turned off and an MOSFET (M2) 51 is turned on via a level shift circuit 47. A power semiconductor element 30 is to be driven to a low level. Gate charges of the element 30 starts discharge via a resistor 55. At the same time, an MOSFET (M4) 63 is turned on by an output of an MMV circuit 45. The gate charges of the element 30 starts discharge via a resistor 67, and the gate charges are discharged quickly. when drain voltage reaches a drain voltage which corresponding to the vicinity, where a drain current of the element 30 starts to decrease, the drain voltage is detected by an MOSFET (M3) 61, and the MOSFET (M4) 63 is made to turn off. The gate charges are discharged only through a resistor 55. The discharge becomes gentle, and di/dt is made small, so that a surge voltage is restrained within a small range.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

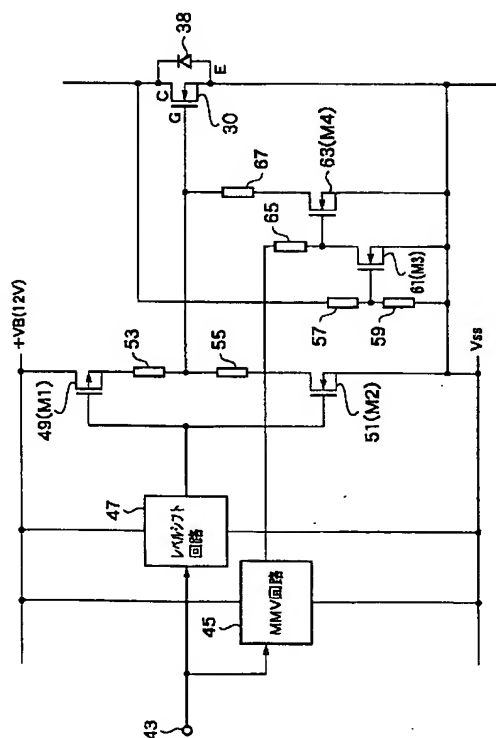
[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]



【特許請求の範囲】

【請求項 1】 ゲート容量に対する電荷の放電または充電によりスイッチングされるパワー半導体素子の駆動回路において、

前記パワー半導体素子におけるゲート容量に対する電荷の放電または充電の時定数を可変する時定数可変手段と、

前記パワー半導体素子の出力電圧を監視する監視手段と、

前記パワー半導体素子におけるゲート容量に対する電荷の放電時または充電時においては、時定数可変手段を制御して、小さい時定数で開始させ、監視手段により出力電圧が所定電圧に達したときには時定数を大きくさせる時定数制御手段とを有することを特徴とするパワー半導体素子の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば交流モータなどに流れる負荷電流のように比較的大きな負荷電流をスイッチングするパワー半導体素子を駆動するパワー半導体素子の駆動回路に関し、更に詳しくは、このようなパワー半導体素子をスイッチングする場合においてスイッチング時の di/dt に起因して回路の配線に存在する寄生インダクタンスにより発生するサージ電圧を抑制し得るパワー半導体素子の駆動回路に関する。

【0002】

【従来の技術】この種のパワー半導体素子の駆動回路においてスイッチング時の di/dt に起因して発生するサージ電圧を抑制する駆動回路としては、例えば特開平 11-18410 号公報に開示された自己消弧素子駆動回路がある。

【0003】この従来の駆動回路においては、図 10 に構成を示し、図 11 にタイミング図を示すように、フォトカプラー 5 に供給される入力電流（図 11 の（a））に反応して増幅器 11 から出力される出力電圧（図 11 の（b））が抵抗 12～16 と共に演算増幅器を構成している増幅器 17 の電流基準となり、該増幅器 17 に入力されるとともに、パワー素子 1 を駆動する直列接続トランジスタ 3、4 のそれぞれのコレクタの電圧、すなわち抵抗 23、24 の両端電圧差を増幅器 17 に入力し、該増幅器 17 の出力電圧を電圧基準として抵抗 18、19 とともに演算増幅器を構成している増幅器 22 に入力している。すなわち、パワー素子 1 を駆動する直列接続トランジスタ 3、4 の正出力時の電流を抵抗 23 から抵抗 13 を介して増幅器 17 の入力に負帰還し、また負出力時の電流を抵抗 24 から抵抗 14 を介して増幅器 17 の入力に負帰還している。また、増幅器 22 の出力電圧を前記電圧基準に対応した電圧となるように制御し、この増幅器 22 の出力電圧でトランジスタ 3、4 を介してパワー素子 1 のゲート電流を制御して該パワー素子 1 を

駆動している。

【0004】すなわち、図 10 に示す従来の駆動回路では、電流基準に応じたゲート電流をパワー素子 1 に流入することになり、パワー素子のターンオン時の主回路電流の立ち上がり時間を制御することができる。同様に、ターンオフ時のゲート電流をパワー素子 1 から電流基準に応じて流出することになり、パワー素子のターンオフ時の主回路電流の立ち上がり時間を制御することができる。更に、パワー素子のスイッチング時に、この電流制御を行い、素子が飽和または不飽和、すなわち完全スイッチ動作後は、ゲート電圧のクランプにより定電流制御を停止している。従って、図 11 に示すように、主回路電流の di/dt によるサージ電圧を di/dt の抑制により抑制することができるのである。

【0005】

【発明が解決しようとする課題】上述した従来の回路では、パワー素子 1 に対して並列に設けた電流比の大きいミラー素子に流れる電流を観測することにより主回路電流の di/dt を監視し、この主回路電流の di/dt 情報をゲート駆動信号にフィードバックすることにより di/dt を制御し、サージ電圧を抑制しているが、この従来の回路では、主回路電流とミラー電流の比率が大きくなるため、検出電流が微弱になり、ミラー電流の検出に高い精度が必要となるという問題がある。

【0006】本発明は、上記に鑑みてなされたもので、その目的とするところは、比較的簡単な回路構成で寄生インダクタンスにより発生するサージ電圧を適確に抑制し得るパワー半導体素子の駆動回路を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するため、請求項 1 記載の本発明は、ゲート容量に対する電荷の放電または充電によりスイッチングされるパワー半導体素子の駆動回路において、前記パワー半導体素子におけるゲート容量に対する電荷の放電または充電の時定数を可変する時定数可変手段と、前記パワー半導体素子の出力電圧を監視する監視手段と、前記パワー半導体素子におけるゲート容量に対する電荷の放電時または充電時においては、時定数可変手段を制御して、小さい時定数で開始させ、監視手段により出力電圧が所定電圧に達したときには時定数を大きくさせる時定数制御手段とを有することを要旨とする。

【0008】

【発明の効果】本発明によれば、パワー半導体素子のゲート容量に対する電荷の放電時または充電時においては、時定数可変手段を制御して、小さい時定数で開始させ、パワー半導体素子の出力電圧が di/dt の急激な変化点に対応する所定電圧に達したときには時定数を大きくさせるようにしたので、ゲート電荷の放電が緩慢になって、 di/dt が小さくなり、寄生インダクタンス

Lによる $L \cdot di/dt$ で表されるサージ電圧 V_{sg} を簡単な回路構成で適確に抑制することができるとともに、充放電開始時には時定数が小さいため、総合的にはスイッチング時間を速くすることができる。

【0009】

【発明の実施の形態】以下、図面を用いて本発明の実施の形態を説明する。図1は、本発明の一実施形態に係わるパワー半導体素子の駆動回路の構成を示す回路図である。同図に示す駆動回路は、例えば交流モータを駆動するスイッチング素子として使用され得るMOSFETからなるパワー半導体素子30を有し、このパワー半導体素子30は入力端子43に供給される入力信号によって駆動制御される。このようなパワー半導体素子の駆動回路は、例えばガソリンエンジンと電気モータを組み合わせ構成される動力システムを有するものとして実用化されつつあるハイブリッド車両の交流モータ等を駆動制御するモータ制御システムに使用することができる。

【0010】次に、図1に示すパワー半導体素子の駆動回路について詳細に説明する前に、本パワー半導体素子の駆動回路が一例として適用されるモータ制御システムについてまず説明する。モータ制御システムは、ハイブリッド車両の力行または発電・回生用の交流モータを制御するものであり、車両に搭載されたバッテリーの直流電圧を3相交流に変換する電圧インバータと交流モータの出力トルクを制御する制御部とから構成されている。

【0011】モータ制御システムは、詳細には図3に示すように、例えば同期モータまたは誘導モータからなる交流モータ31を駆動制御するものであり、該交流モータ31を駆動するUVW相の3相ブリッジの電圧インバータを構成している複数のパワー半導体素子30および該パワー半導体素子30の各々に並列接続された複数のフリーホイールダイオード38と、前記複数のパワー半導体素子30を駆動制御するための制御部を構成しているゲート駆動回路35、相補PWM発生回路36およびモータコントローラ37とから構成されている。複数のパワー半導体素子30は2個ずつ直列に接続された3組のパワー半導体素子30により3相ブリッジの電圧インバータを構成し、直列接続された各組のパワー半導体素子30の両端にはバッテリー33の直流電圧が印加され、このバッテリー33の両端には電解コンデンサ34が並列に接続されている。また、交流モータ31のロータの磁極位置を検出する回転センサ32が設けられ、この回転センサ32で検出された交流モータ31の磁極位置情報はモータコントローラ37に供給されるようになっている。

【0012】モータコントローラ37は、図示しない車両制御コントローラからのトルク指令信号と回転センサ32からの磁極位置情報に基づき交流モータ31の駆動信号を計算し、これにより相補PWM発生回路36に対するUVW相の各相毎に電圧制御信号を出力する。相補

PWM発生回路36は、モータコントローラ37からの電圧制御信号を電圧PWM（パルス幅変調：Pulse Width Modulation）信号に変換し、ゲート駆動回路35に供給する。ゲート駆動回路35は、相補PWM発生回路36からの電圧PWM信号を3相ブリッジの電圧インバータを構成する複数のパワー半導体素子30を駆動するゲート駆動信号に変換して各パワー半導体素子30に供給する。

【0013】複数のパワー半導体素子30は、ゲート駆動回路35から供給されるゲート駆動信号により駆動され、交流モータ31にUVW相の3相出力信号を供給して駆動する。複数のパワー半導体素子30は、上述したように、2個ずつ直列接続された3組、すなわちUVW相の3相のパワー半導体素子30に構成されているが、この直列接続された3相のパワー半導体素子30のうち、バッテリー33の正極側に接続されたUVW相のそれぞれのパワー半導体素子30を図3に示すようにUP、VP、WP側パワー半導体素子30と称し、バッテリー33の負極側に接続されたUVW相のそれぞれのパワー半導体素子30をUN、VN、WN側パワー半導体素子30と称することにする。

【0014】図4は、交流モータ31を駆動するパワー半導体素子30からの3相出力信号の電流波形を示す図であり、交流モータ31のU相を駆動するU相駆動電流 I_u 、V相を駆動するV相駆動電流 I_v 、およびW相を駆動するW相駆動電流 I_w はそれぞれ電気角で120度ずつ位相が異なる正弦波である。このような正弦波のモータ駆動電流を交流モータ31に供給するために、相補PWM発生回路36はデューティ比が正弦波状に変化する電圧PWM信号を生成し、ゲート駆動回路35を介して交流モータ31を駆動している。

【0015】図5は、3相駆動電流のうちの1相であるU相のみに着目したU相駆動電流波形およびUP側パワー半導体素子30を駆動するUP側電圧PWM信号のデューティ比の変化を示す図である。同図に示すように、UP側電圧PWM信号のデューティ比は0%（+デッドタイム分）～100%（-デッドタイム分）を正弦波状に変化するが、UN側パワー半導体素子30を駆動するUN側電圧PWM信号はUP側のデューティ比の変化を反転したものである。このようにUP側およびUN側パワー半導体素子30を正弦波状にデューティ制御すると、その平均値は正弦波になり、正弦波電圧信号が交流モータ31に供給される。この結果、図5に示すような正弦波のモータ電流が交流モータ31に供給される。なお、実際には、交流モータ31の電圧と電流には位相差があり、その位相はモータ力率 $\cos \phi$ に等しくなっているが、図5ではこの位相差は省略している。

【0016】図6は、UP側およびUN側パワー半導体素子30のゲートに印加される電圧PWM信号、すなわちUP側ゲート駆動信号およびUN側ゲート駆動信号の

波形を示す波形図であり、両信号は互いに相補形になっている。同図において、1パルスの周期がPWMのキャリア周期であり、通常は10kHzなどの周波数を使用している。また、UP側ゲート駆動信号とUN側ゲート駆動信号のエッジ間にはパワー半導体素子30に貫通電流が流れるのを防止するためにデッドタイムが設けられている。

【0017】図7は、図3に示した駆動回路におけるU相の回路動作を説明するとともに、サージ電圧が発生する原因となる寄生インダクタンスを示す図である。同図に示すように、交流モータ31に電流 I_u が矢印で示す方向に流れている場合に、UP側パワー半導体素子30のゲートに高レベルのUP側ゲート駆動信号が印加されると、UP側パワー半導体素子30に電流 I_p が図示のように流れ、またUN側パワー半導体素子30のゲートに高レベルのUN側ゲート駆動信号が印加されると、UN側パワー半導体素子30のフリーホイールダイオード38に電流 I_n が図示のように流れる。このように交流モータ31に流れるモータ電流は一方方向に流れ続けるが、この場合にUP側およびUN側パワー半導体素子30を流れる主電流はゲート駆動信号によりスイッチングされて転流する。

【0018】このように主電流が転流する場合に、電圧インパタ内のバスバー配線などに存在する寄生インダクタンスが図7で符号39で示すように回路に現れ、このインダクタンス39によりサージ電圧が発生する。この寄生インダクタンスを L とすると、サージ電圧の大きさは $L \cdot di/dt$ となる。

【0019】図8は、パワー半導体素子30をオフして電流を遮断した場合にサージ電圧が発生する様子を示す各部の信号波形を示す図である。同図(a)に示すように、オンオフ指令信号がオフになると、パワー半導体素子30のゲート駆動信号は図8(b)に示すようにすぐにはオフにならず、パワー半導体素子30のゲート容量により遅延しながら徐々に低下しオフになり、パワー半導体素子30の駆動電流も図8(c)に示すように同様にすぐに0に低下せず、ゲート駆動信号のレベルが所定の閾値以上に低下してから0になる。そして、パワー半導体素子30のコレクタ電圧は図8(d)に示すようにゲート駆動信号の低下により徐々に上昇開始するも、この上昇において寄生インダクタンス39の影響によりサージ電圧 V_{sg} が発生してしまう。一般に電流を遮断する時、スイッチング時間は速くなる傾向があるが、このスイッチング時間の高速化に伴い di/dt が大きくなり、有害なサージ電圧も大きくなる。

【0020】図1に示す本実施形態のパワー半導体素子の駆動回路は、上述したように寄生インダクタンスにより発生するサージ電圧を抑制するために di/dt を抑制しようとするものである。以下、図1に戻って、本実施形態のパワー半導体素子の駆動回路について詳細に説

明する。なお、図1に示す実施形態は、簡単化のために、パワー半導体素子の遮断時の構成のみについて示しているものである。

【0021】図1においては、入力端子43は、モノステーブルマルチバイブレータ回路（以下、MMV回路と略称する）45およびレベルシフト回路47に接続され、入力端子43からの入力信号はMMV回路45およびレベルシフト回路47に供給される。なお、この入力信号は、図3で説明した相補PWM発生回路36からの電圧PWM信号に相当するものである。また、図1のパワー半導体素子30は図3のパワー半導体素子30に相当し、入力端子43とパワー半導体素子30との間の回路が図3のゲート駆動回路35に設けられているものであるが、図1の回路はUVW相の3相のうちの1相の片側の回路構成のみを図示し、図3のゲート駆動回路35はUVW相の3相の回路構成を含んでいるものである。

【0022】上述したように、MMV回路45は、入力信号が供給されると、入力信号が低レベルになる立ち下がりエッジで駆動され、所定のパルス幅の出力パルスを発生する。また、レベルシフト回路47は相補PWM発生回路36からの0～5Vの電圧PWM信号を0～VB（バッテリー電圧である12V）にレベルシフトし、かつ信号レベルを反転する。レベルシフト回路47の出力信号は、電流制限抵抗53、55を介してバッテリー電圧+VB（12V）とVssとの間に直列接続されたMOSFET（M1）49およびMOSFET（M2）51のゲートに入力される。すなわち、バッテリー電圧+VBとVssとの間にはMOSFET（M1）49、電流制限抵抗53、55およびMOSFET（M2）51の直列回路が接続され、抵抗53、55の接続点はパワー半導体素子30のゲートに接続されている。なお、この直列接続回路は、パワー半導体素子30のゲート容量を充放電するブリドライバ回路を構成している。

【0023】また、動作的には、レベルシフト回路47から高レベル出力信号がMOSFET（M1）49およびMOSFET（M2）51のゲートに印加されると、MOSFET（M1）49がオフになり、MOSFET（M2）51がオンになり、これによりパワー半導体素子30がオフになり、またレベルシフト回路47から低レベル出力信号が両MOSFET 49、51のゲートに印加されると、MOSFET（M1）49がオンになり、MOSFET（M2）51がオフになり、これによりパワー半導体素子30はオンになる。

【0024】パワー半導体素子30のドレインは、抵抗57、59を介してVss電位に接続され、また抵抗57、59の接続点はMOSFET（M3）61のゲートに接続され、これによりパワー半導体素子30のドレインの電圧、すなわちパワー半導体素子30の出力電圧が抵抗57、59の接続点を介してMOSFET（M3）61のゲートにフィードバックされている。この結果、

パワー半導体素子30の出力電圧が所定の閾値以上になると、MOSFET (M3) 61がオンするようになっている。また、MOSFET (M3) 61のドレインは抵抗65を介してMMV回路45の出力に接続されるとともに、MOSFET (M4) 63のゲートに接続されている。MOSFET (M4) 63のドレインは抵抗67を介してパワー半導体素子30のゲートに接続されている。

【0025】このような接続の結果、MMV回路45の出力パルスが抵抗65を介してMOSFET (M4) 63のゲートに印加されている場合には、MOSFET (M4) 63がオンとなり、これにより抵抗67を介してパワー半導体素子30のゲート容量に蓄積されたゲート電荷を放電するようになっている。そして、MOSFET (M4) 63のゲートに抵抗65を介してMMV回路45の出力パルスが印加されている場合でも、パワー半導体素子30の出力電圧が所定の閾値以上になると、MOSFET (M3) 61がオンし、これによりMOSFET (M4) 63をオフし、抵抗67を介してパワー半導体素子30のゲート容量の放電を停止するようになっている。

【0026】次に、図2に示すタイミング図を参照して、以上のように構成される本実施形態のパワー半導体素子の駆動回路の作用について説明する。

【0027】まず、入力端子43への入力信号である相補PWM発生回路36からの電圧PWM信号が高レベルにある場合には、図2に示すように、レベルシフト回路47およびMMV回路45の両出力は低レベルにあり、MOSFET (M1) 49はオン状態、MOSFET (M2) 51はオフ状態になっている。また、MOSFET (M4) 63のゲート電圧は低レベルにあり、MOSFET (M4) 63はオフ状態になる。更に、図2において主回路Trと記載されているパワー半導体素子30のゲート電圧は図2 (e) に示すように高レベルにあり、パワー半導体素子30はオンし、図2 (g) に示すように出力電流が流れ、これにより交流モータ31を駆動している。なお、この場合のパワー半導体素子30のドレイン電圧は図2 (f) に示すように低レベルになっている。

【0028】このような状態において、入力端子43への入力信号が高レベルから低レベルに変化すると、レベルシフト回路47の出力は図2 (a) に示すように高レベルになり、またMMV回路45は図2 (b) に示すように所定のパルス幅の出力パルスを発生する。レベルシフト回路47の出力が高レベルになると、MOSFET (M1) 49がオフし、MOSFET (M2) 51がオンし、これによりパワー半導体素子30のゲートに蓄積されているゲート電荷が図2 (d) に示すように抵抗55およびMOSFET (M2) 51を介して放電開始する。一方、MMV回路45からの出力パルスは抵抗65

を介してMOSFET (M4) 63のゲートに印加され、MOSFET (M4) 63を図2 (c) に示すようにオンするので、パワー半導体素子30のゲートは抵抗67およびMOSFET (M4) 63を介してVss電位に接続され、パワー半導体素子30のゲート電荷を放電する。この結果、パワー半導体素子30のゲートに蓄積されていたゲート電荷は、抵抗55およびMOSFET (M2) 51を介した第1の経路と抵抗67およびMOSFET (M4) 63を介した第2の経路の2系統で、すなわち抵抗55と抵抗67の並列抵抗により短い時間定数で図2 (d) に示すように大きく急峻に放電する。この状態において、パワー半導体素子30のゲート電圧は、図2 (e) に示すように急速に低下していく。

【0029】この状態において、パワー半導体素子30はオン状態にあり、そのドレイン電圧は図2 (f) に示すように低レベルにあるので、このドレイン電圧を抵抗57, 59で分圧した電圧はMOSFET (M3) 61の閾値に達せず、MOSFET (M3) 61はオフ状態にある。

【0030】上述したように、パワー半導体素子30のゲート電荷が急速に放電し、そのゲート電圧が図2 (e) に示すように急速に低下していく場合において、ゲート電圧がパワー半導体素子30の閾値 V_{th} の近傍に達した辺りになると、図2 (f) に示すようにパワー半導体素子30のドレイン電圧は上昇開始する。この近辺においては、ゲート電圧は図2 (e) に示すように閾値 V_{th} 近傍に維持されてゲート電荷を放電していくが、パワー半導体素子30はドレイン電流を維持しようとするので、パワー半導体素子30のドレイン電圧は図2 (f) に示すように単調に増加していく。

【0031】そして、更にゲート電荷が放電され、パワー半導体素子30がドレイン電流を維持できない状態までゲート電圧が低下すると、パワー半導体素子30のドレイン電流は図2 (g) に示すように急速に低下開始する。このようにパワー半導体素子30のドレイン電流が低下開始する近傍をMOSFET (M3) 61によりパワー半導体素子30のドレイン電圧をモニタすることにより検出する。この時点におけるパワー半導体素子30のドレイン電圧を図2 (f) に示すように V_{TH0} とすると、ドレイン電圧 V_{TH0} を抵抗57, 59で分圧された電圧がMOSFET (M3) 61の閾値 V_{th} に等しくなるように抵抗57, 59の値を設定する。

【0032】このように抵抗57, 59を設定することにより、パワー半導体素子30のドレイン電流が低下開始する近傍に相当するドレイン電圧 V_{TH0} にパワー半導体素子30のドレイン電圧が達したとき、MOSFET (M3) 61はオンとなり、この結果MOSFET (M4) 63のゲートが低レベルになり、これによりMOSFET (M4) 63が図2 (c) に示すようにオフとなる。すなわち、パワー半導体素子30のオフ動作開

始時には図2(c)に示すように高レベルであったMOSFET(M4)63のゲート電圧はこの時点でMMV回路45からの出力パルスに関わらず低レベルに変化する。このようにMOSFET(M4)63がオフになると、パワー半導体素子30のゲート電荷の放電は抵抗55を介した第1の経路のみとなるので、ゲート電荷の放電電流の値は図2(d)に示すように小さくなり、ゲート電荷の放電時定数は大きくなる。

【0033】この結果、パワー半導体素子30のゲート電荷の放電は緩慢になり、そしてゲート電圧の低下が緩やかになるので、 di/dt が小さくなり、寄生インダクタンスLによる $L \cdot di/dt$ で表されるサージ電圧 V_{sg} を小さな値に抑制することができる。この後は、ゲート電荷が抵抗55とMOSFET(M2)51により完全に放電し、パワー半導体素子30は完全に遮断され、その出力電流であるドレイン電流は図2(g)に示すように0になる。

【0034】なお、上記実施形態では、抵抗53, 55, 65は、それぞれ個別の抵抗として説明したが、それぞれMOSFET(M1)49、MOSFET(M2)51、MOSFET(M4)63のオン抵抗としてもよく、また各MOSFETの W/L を調整してMOSFETのオン抵抗で実現することも可能である。

【0035】また、上記実施形態は、パワー半導体素子30を遮断する場合、すなわちパワー半導体素子30の電流が立ち下がる場合についてのみ説明しているが、本発明はパワー半導体素子30の電流の立ち上がり時にも同様な回路構成で適用してサージ電圧を抑制し得るものであることは勿論のことである。

【0036】次に、図9を参照して、本発明の他の実施形態に係わるパワー半導体素子の駆動回路について説明する。本実施形態のパワー半導体素子の駆動回路は、図1に示した実施形態においてパワー半導体素子30のドレイン電圧をMOSFET(M3)61で監視し、ドレイン電流が低下開始する近傍に相当するドレイン電圧 V_{TH0} にパワー半導体素子30のドレイン電圧が達した時に、MOSFET(M4)63をオフするMOSFET(M3)61および抵抗65からなる回路の代わりに電圧比較器71、アンド回路77および抵抗73, 75からなる回路を用いた点異なるのみであり、その他の構成および作用は図1の実施形態と同じである。

【0037】すなわち、図9に示すパワー半導体素子の駆動回路では、パワー半導体素子30の出力電圧であるドレイン電圧を抵抗57, 59で分圧して電圧比較器71の一方の入力に供給して、他方の入力に供給されている抵抗73, 75の接続点からの基準電圧と比較している。この基準電圧はパワー半導体素子30のドレイン電流が低下開始する近傍に相当するドレイン電圧 V_{TH0} に等しいものである。従って、電圧比較器71は、パワー半導体素子30のドレイン電圧と基準電圧とを比較

し、ドレイン電圧が基準電圧より大きくなった場合、すなわちパワー半導体素子30のドレイン電流が低下開始する近傍に相当するドレイン電圧 V_{TH0} にドレイン電圧が達した場合、電圧比較器71は低レベルの出力信号をアンド回路77に供給し、これによりMMV回路45からの出力パルスをインヒビットし、MOSFET(M4)63をオフにしている。この結果、パワー半導体素子30のゲート電荷の放電は抵抗55を介した第1の経路のみとなるので、ゲート電荷の放電電流の値は図2(d)に示すように小さくなり、ゲート電荷の放電時定数は大きくなる。

【0038】従って、パワー半導体素子30のゲート電荷の放電は緩慢になり、そしてゲート電圧の低下が緩やかになるので、 di/dt が小さくなり、寄生インダクタンスLによる $L \cdot di/dt$ で表されるサージ電圧 V_{sg} を小さな値に抑制することができるのである。

【図面の簡単な説明】

【図1】本発明の一実施形態に係わるパワー半導体素子の駆動回路の構成を示す回路図である。

【図2】図1に示す実施形態の駆動回路の動作を示すタイミング図である。

【図3】図1に示すパワー半導体素子の駆動回路が適用されるモータ制御システムの構成を示すブロック図である。

【図4】図3に示すモータ制御システムにおいて交流モータを駆動するパワー半導体素子から出力される3相出力信号の電流波形を示す図である。

【図5】図3に示すモータ制御システムにおいて3相駆動電流のうちの1相であるU相のみに着目したU相駆動電流波形およびUP側パワー半導体素子を駆動するUP側電圧PWM信号のデューティ比の変化を示す図である。

【図6】図3に示すモータ制御システムにおいてUP側およびUN側パワー半導体素子のゲートに印加される電圧PWM信号、すなわちUP側ゲート駆動信号およびUN側ゲート駆動信号の波形を示す波形図である。

【図7】図3に示すモータ制御システムの駆動回路におけるU相の回路動作を説明するとともに、サージ電圧が発生する原因となる寄生インダクタンスを示す図である。

【図8】図3に示すモータ制御システムにおいてパワー半導体素子をオフして電流を遮断した場合にサージ電圧が発生する様子を示す各部の信号波形を示す図である。

【図9】本発明の他の実施形態に係わるパワー半導体素子の駆動回路の構成を示す回路図である。

【図10】従来の駆動回路である特願平11-18410号に開示されている自己消弧形素子駆動回路の構成を示す回路図である。

【図11】図10に示す従来の駆動回路の動作を示すタイミング図である。

【符号の説明】

30 パワー半導体素子

43 入力端子

45 MMV回路

47 レベルシフト回路

49 MOSFET (M1)

51 MOSFET (M2)

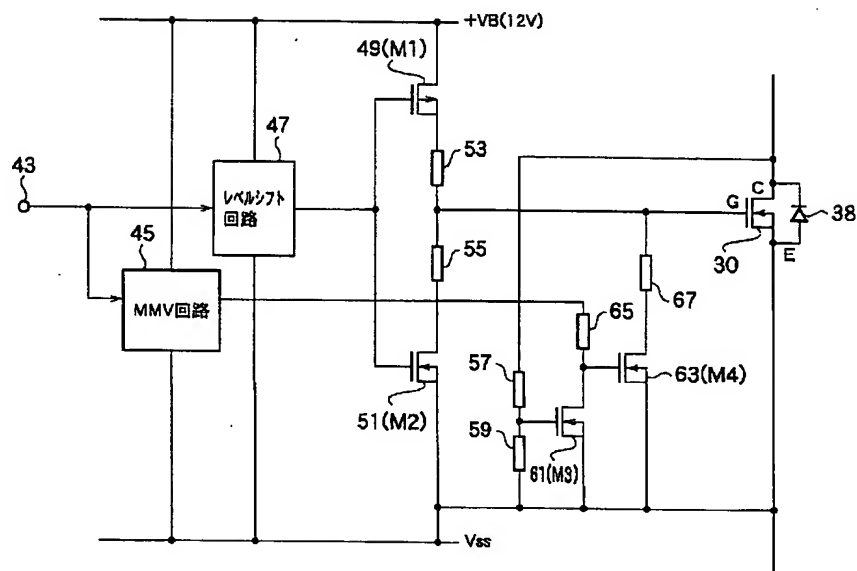
61 MOSFET (M3)

63 MOSFET (M4)

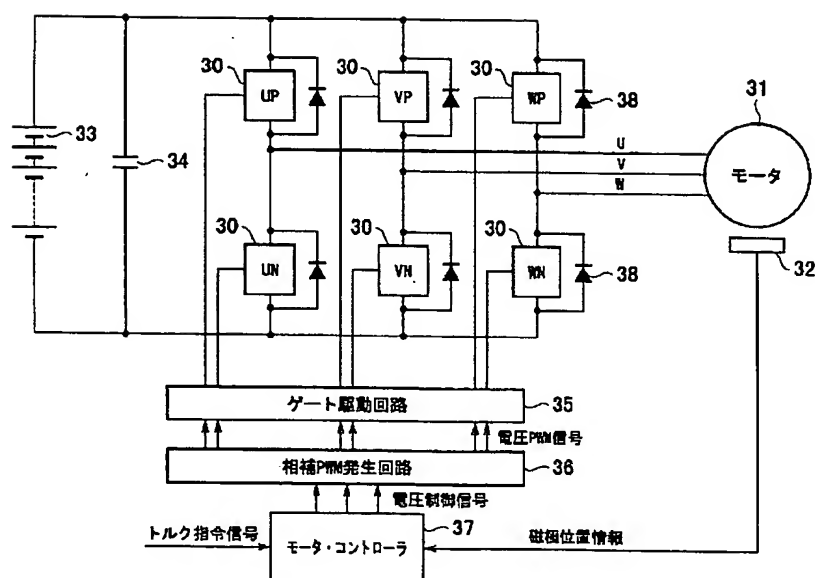
71 電圧比較器

77 アンド回路

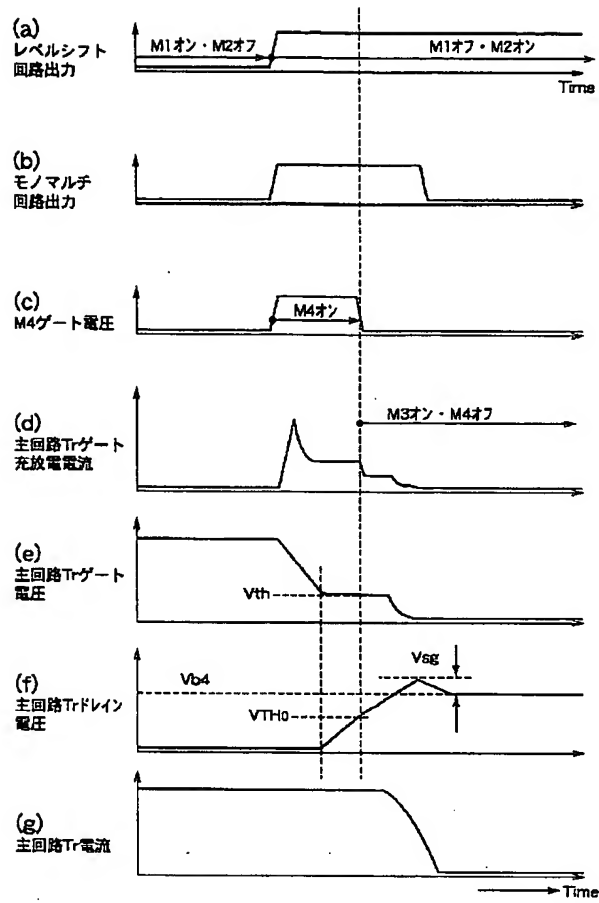
【図1】



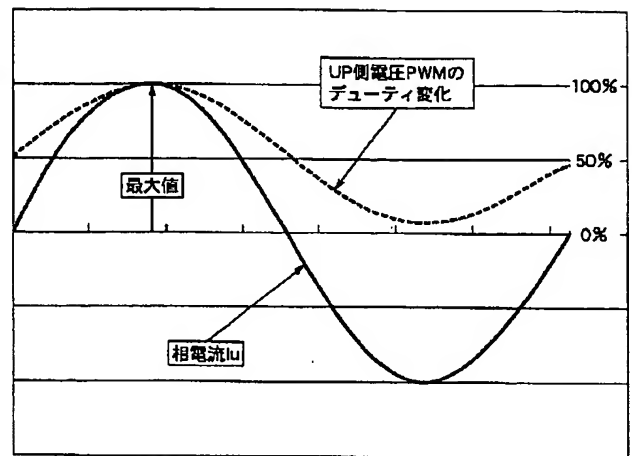
【図3】



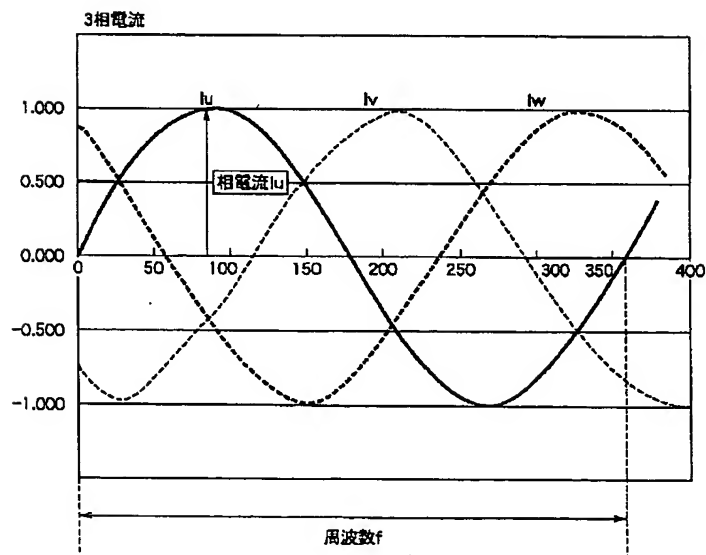
【図 2】



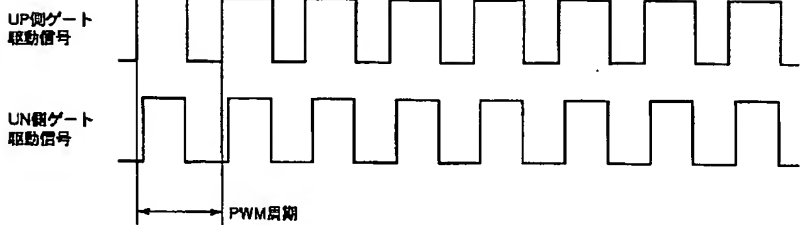
【図 5】



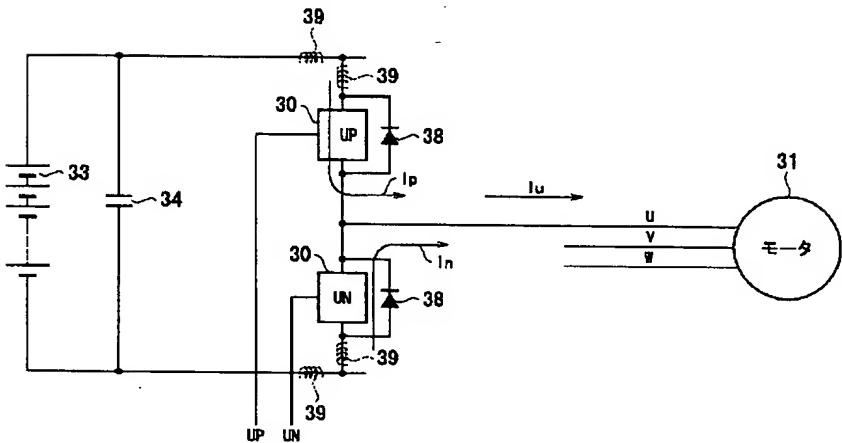
【図 4】



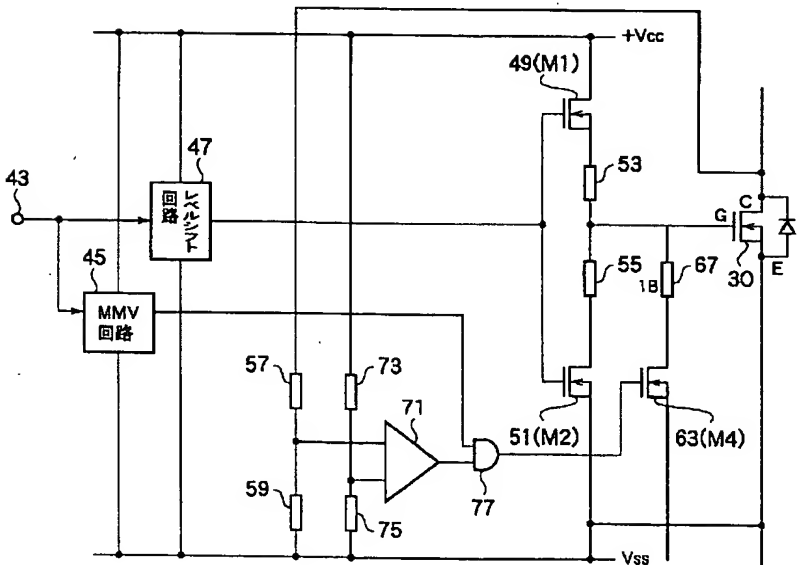
【图6】



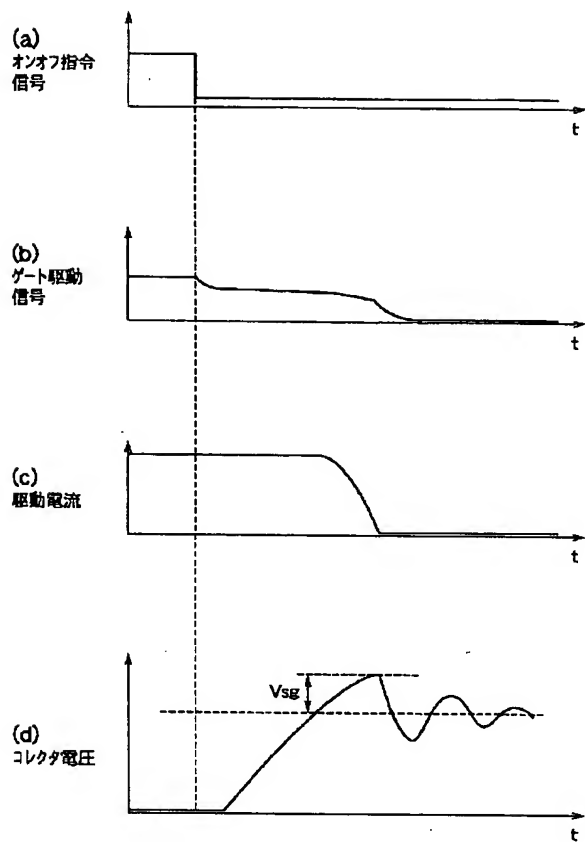
【図7】



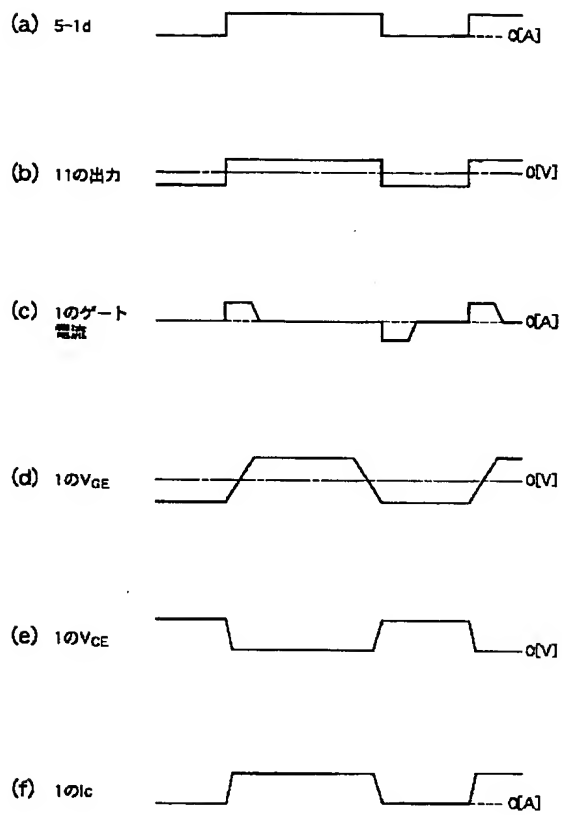
【图9】



【图8】



【图 1-1】



【図 10】

